

■ 背景

「FPGAにおける配置・配線の最適化を目指す研究」

■ FPGAについて

• FPGAとは

- FPGAはField Programable Gate Arrayの略で、信号の流れや動作を自由に変えられる特殊な電子部品(LSI)です。
- また、FPGAは一度作ったら変更できない普通の電子部品(LSI)と異なり、後からプログラムを書き換え、自分の好きなように信号の流れや動作を変更することができる。

• 利用分野

- FPGAはその柔軟性や高速性から以下の様な様々な分野で利用される。
 - テレビ, カメラ, 自動車, 通信機器, ロボット など

• CPUとの比較

- FPGAは、CPUやGPUなどのほかの計算用の電子部品と比較すると以下の様な特徴を持つ。
 - CPUは汎用的に使用できるが、FPGAは**特定の用途に最適化**できる
 - CPUやGPUや消費電力が大きいが、FPGAは**消費電力が小さい**
 - CPUやGPUは開発しやすいが、FPGAは**開発が難しい**

• FPGAの構成

- FPGAは基本的に以下の3つの要素から構成される

• 論理ブロック(LB)

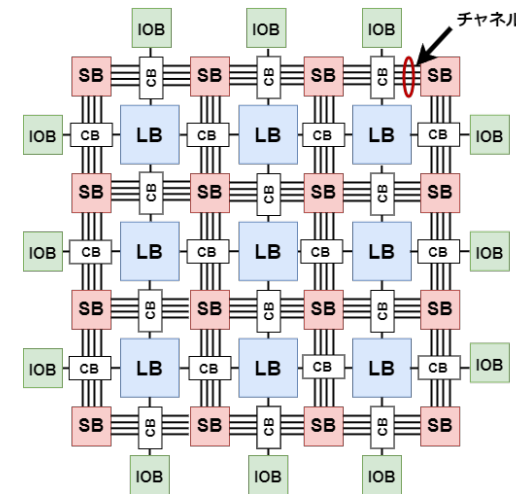
論理ブロックとは、ANDゲートやORゲートなどの基本的な論理回路を組み合わせたもの。

• 配線

配線とは、論理ブロック間をつなぐ電気的な経路のこと。

• 入出力ブロック(IOB)

入出力ブロックとは、FPGAの外部と内部をつなぐ部品。



FPGAの内部構造
(アイランドスタイル)

• 配置配線工程

FPGAでは、上記の構成要素を組み合わせる。配置配線工程は以下の順で行われる

- 論理ブロックの配置
- スイッチボックスの設定
- 配線の接続

配線が大事

■ 背景

「FPGAにおける配置・配線の最適化を目指す研究」

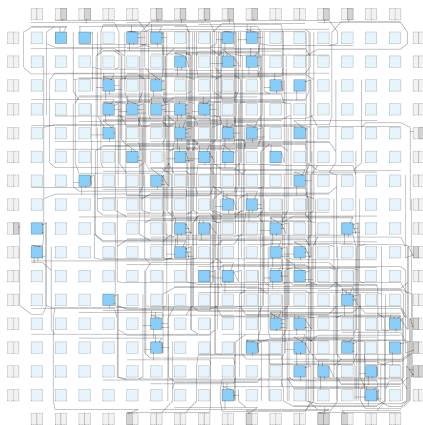
そんなFPGAの性能を向上させたい



FPGAの配置・配線の最適化を行い、
性能を向上を目指す

• なぜ配置・配線の最適化を目指すのか

- FPGAの性能は設計フローにおける配置配線に影響を受ける。
最適化することでFPGAの性能の向上が見込めるから。



Verilog to Routing(VTR)で配置配線した様子

コンピュータアーキテクチャ

■ なぜ機械学習を使うの？

- 一般的にFPGAの配置手法ではSA法で配置評価が行われる
- SA法では配置評価手法としてコスト値を用いる
- コスト値は、総配線長や混雑度などの異なる特徴を加算し、1つの値にしたものです。

[コスト値の例]

$$\text{cost} = \underbrace{p \times \text{length}}_{\text{配線長予測値}} + \underbrace{q \times \text{congestion}}_{\text{混雑度予測値}}$$

しかし

SA法による最適化がある程度進むと、
“コスト値では配置評価が困難になる”
(1つの値に集約することで、細かな情報が失われるから)

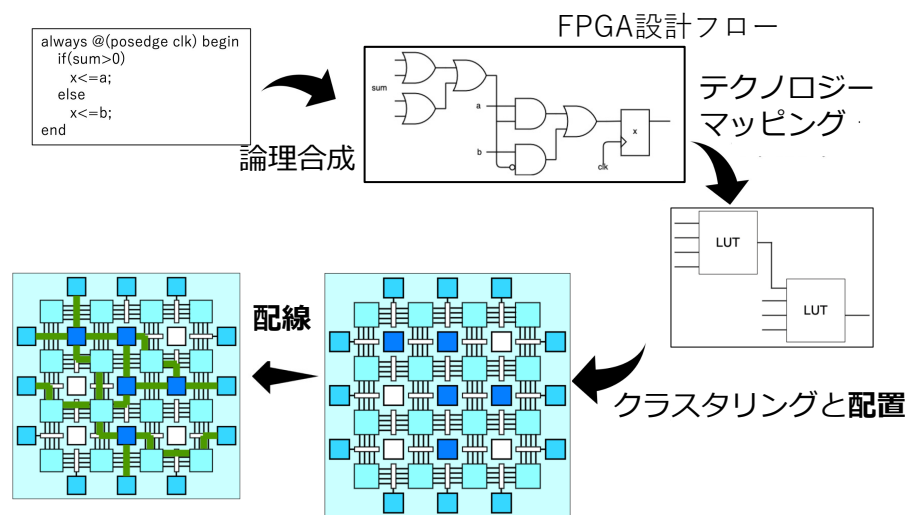
そこで

コスト値の代わりにニューラルネットワークを用いる

- ニューラルネットワークを使用するメリット

ニューラルネットワークの入力として配置情報・接続情報から作られた2次元マップを使用することで、配置の細かな情報を失うことなく配置評価が行える点

1. 配置配線処理の流れ

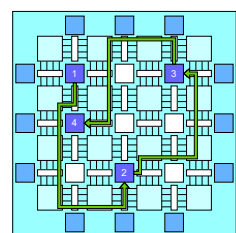


配置配線処理は性能を決めるプロセス

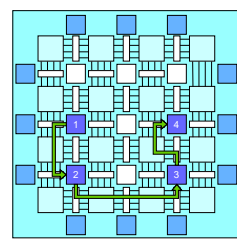
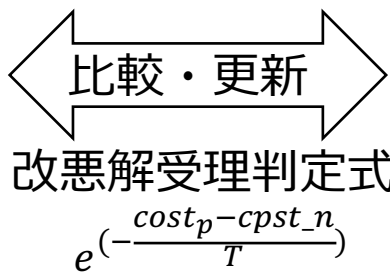
最適な**配置・配線**を行う研究

2. 従来配置手法

SA法



現在解: $cost_p = 230$



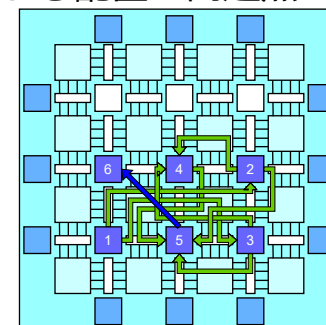
近傍解: $cost_n = 190$

評価関数(混雑度などを数値化したもの)の最小化

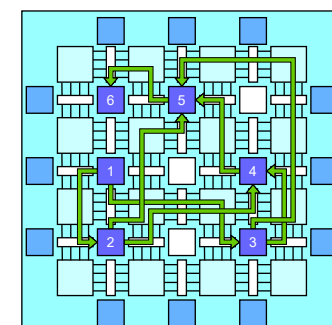
$$cost = p * congestion + q * length$$

切り替え

SA法による配置の問題点



length:180
congestion:300
合計:480

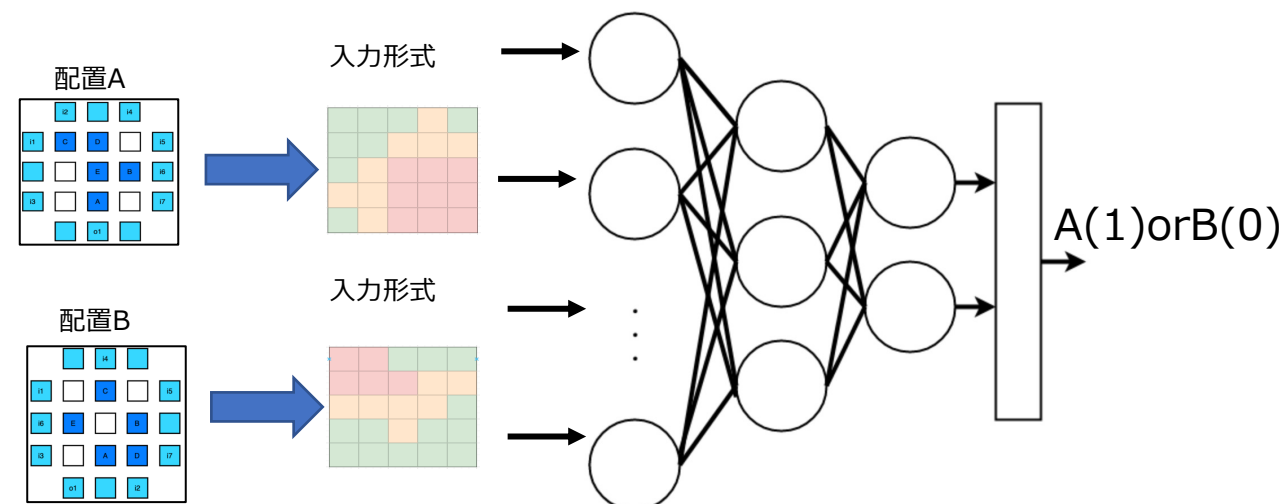


length:450
congestion:200
合計:670

評価関数では間違った判別をする可能性がある
パラメータが回路によって異なる

3. 研究：NNによる勾配法

SA法からニューラルネットワーク(NN)による勾配法に切り替え, 配置の最適化



SA法のみで配置したものを学習データとしている

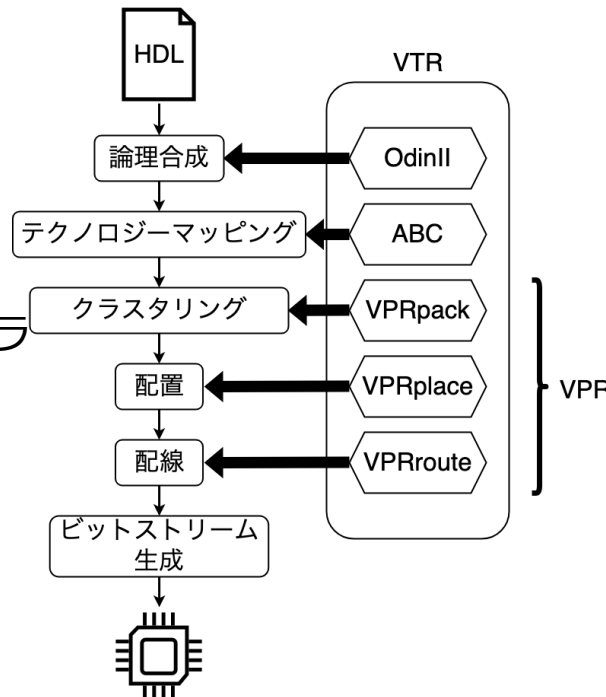


■卒業研究

- 機械学習に必要な学習データの収集が困難
- 多様なアーキテクチャの規模や構造に対して配置が困難
- 他研究との配置配線結果の比較が難しい
- 機械学習を適用した配置配線CADの**開発評価**を容易にする**プラットフォームを構築**する
- 実現のためにVerilog to Routing(VTR)を使用

VTR

- FPGA用のCADの研究開発を支援するオープンソースのフレームワーク
- Odin II・・・HDLコンパイラ
- ABC・・・テクノロジーマッピング
- VPR・・・クラスタリング・配置配線



- VTRを既存の配置配線CADに**組み合わせる**ことによって課題解決へのアプローチを行う

- **SAML**: SA法による配置を行うモジュール、評価関数をCFGMLで作成したモデルに切り替えられる
- **PDB**: VPRanalysisという解析ツールにより得られる配置配線の評価指標をデータとして保存するモジュール
- **CFGML**: 機械学習により配置の評価値の切り替えを行う

■結果

- データベースの作成などにより学習データの収集が**効率的**
- 多様なアーキテクチャに**配置が可能**
- 他研究との**比較も可能**

■今後の展望

- 修士研究
 - ・ 更なる配置CADの効率化
 - ・ より高品質な配置が行えるNNを使用した配置アルゴリズムの検討
- 課題
 - ・ 学習データの最適化
 - ・ NNへの入力形式の検討

